

Ecole Doctorale

Mathématiques et Sciences et Technologies de l'Information et de la Communication

Laboratoire des Sciences et Techniques de l'Information, de la Communication et de la Connaissance

AVIS DE SOUTENANCE DE THESE

Le vendredi 29 novembre 2019 à 10h

à l'UFR Sciences et Techniques, amphithéâtre "F", 6 avenue Victor Le Gorgeu, Brest

Madame HIRECHE CHABHA

soutiendra une thèse de doctorat sur le sujet suivant :

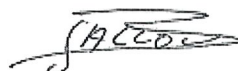
" Etude et implémentation sur SoC-FPGA d'une méthode probabiliste pour le contrôle de mission de véhicule autonome ".

Le jury sera ainsi composé :

- **MME CHANTHERY ELODIE, Maître de conférences**
INSA Toulouse - TOULOUSE
- **MME DEZAN CATHERINE, Maître de conférences**
Univ. de Bretagne Occidentale - BREST
- **M. DIGUET JEAN-PHILIPPE, Directeur de Recherche**
Université Bretagne Sud - LORIENT
- **M. MIRAMOND BENOIT, Professeur des universités**
Université Côte d'Azur Polytech - VALBONNE
- **M. MOCANU STEPHANE, Maître de conférences**
INP Grenoble - SAINT-MARTIN-D'HERES
- **M. NIAR SMAIL, Professeur des universités**
Univ. Polytech Hauts-de-France - VALENCIENNES

A BREST, le 08 novembre 2019

Le Président de l'Université de
Bretagne Occidentale,



M. GALLOU

Présidence

3, rue des Archives
CS 93837
29238 Brest cedex 3

Titre : titre (en français) Etude et implémentation sur SoC-FPGA d'une méthode probabiliste pour le contrôle de mission de véhicule autonome.

Mots clés : Planification de mission, Markov Decision Process, réseaux Bayésiens, implémentation matérielle/logicielle, FPGA.

Résumé : Les systèmes autonomes embarquent différents types de capteurs, d'applications et de calculateurs puissants. Ils sont donc utilisés dans différents domaines d'application et réalisent diverses missions simples ou complexes. Ces missions se déroulent souvent dans des environnements non déterministes avec la présence d'évènements aléatoires pouvant perturber le déroulement de la mission. Il est donc nécessaire d'évaluer régulièrement l'état de santé du système et de ses composants matériels et logiciels dans le but de détecter les défaillances à l'aide de réseaux Bayésiens. Par la suite, une décision est prise par le planificateur de mission en générant un nouveau plan de mission assurant la continuité

de la mission en réponse à l'évènement détecté. Cette décision est prise à l'aide du modèle Markov Decision Process en fonction de contraintes telles que l'objectif de la mission, l'état de santé des capteurs et des applications embarqués, la stratégie de réalisation de la mission 'stratégie safety' ou 'stratégie mission first', etc. Comme les systèmes autonomes exécutent différentes tâches qui demandent différentes performances, il est nécessaire de penser à l'utilisation d'accélérateurs matériels sur SoC-FPGA dans le but de répondre aux contraintes de calculs hautes performances et décharger le CPU si besoin.

Title : titre (en anglais) Study and implementation on SoC-FPGA of a probabilistic method for mission planning in autonomous vehicle.

Keywords : Mission planning, Markov Decision Process, Bayesian Networks, Hardware/Software implementation, FPGA.

Abstract: Autonomous systems embed different types of sensors, applications and powerful calculators. Thus, they are used in different fields of application and perform various simple or complex tasks. Generally, these missions are executed in non-deterministic environments with the presence of random events that can affect the mission's progress. Therefore, it is necessary to regularly assess the health of the system and its hardware and software components in order to detect failures using Bayesian Networks. Subsequently, a decision is made by the mission planner by generating a new mission plan that ensures the mission in response to the

detected event. This decision is made using the Markov Decision Process model based on constraints such as the mission objective, the health status of sensors and embedded applications, the mission policy "safety policy" or "mission first policy", etc. As autonomous systems perform different tasks that require different performance, it is necessary to consider the use of hardware accelerators on SoC-FPGA in order to meet high-performance computing constraints and unload the CPU if needed.